

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-070905

(43)Date of publication of application : 28.05.1980

(51)Int.CI. G11B 5/02
// G11B 5/09

(21)Application number : 53-145158

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 24.11.1978

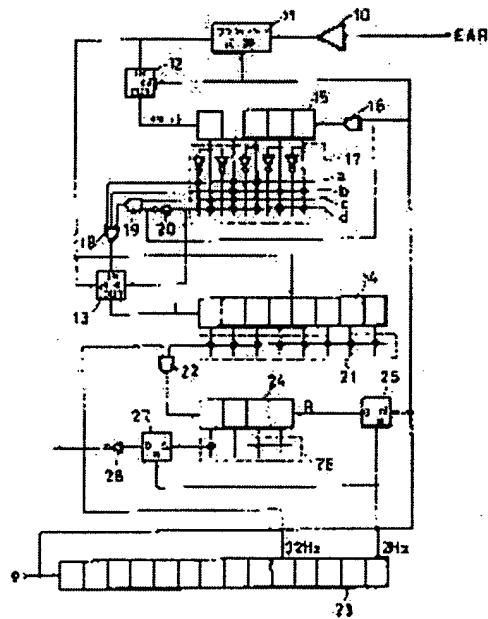
(72)Inventor : SHIMIZU TOMOHIRO

(54) DATA SELECTION SYSTEM

(57)Abstract:

PURPOSE: To select digital data with a simple circuit, by using the frequency band of digital data and its regularity through the provision of a wave shape circuit etc.

CONSTITUTION: The reproduced information is shaped into rectangular wave signal at the wave shape circuit 10 and inputted to the one shot circuit 11 to output one shot pulse. This pulse clears the counter 15. When a digital signal having the frequency of 1.2 or 2.4kHz, the content of the counter 15 is "13±2" or "27±3" to set the flip flop 13. This output signal is read in the shift register 14, and when "1" signal is written in all the bits, the output of the gate circuit 21 is inputted to the counter 24. When the content of the counter 24 reaches "8", the flip flop 27 is set. The output of the said set indicates the reproduced information is digital date. Thus, the digital data can be selected with the simple circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭55-70905

⑫ Int. Cl.³ 識別記号 庁内整理番号 ⑬ 公開 昭和55年(1980)5月28日
G 11 B 5/02 104 7168-5D
// G 11 B 5/09 7345-5D 発明の数 1
審査請求 未請求

(全 6 頁)

⑭ データ選別方式

⑮ 特 願 昭53-145158
⑯ 出 願 昭53(1978)11月24日
⑰ 発明者 清水知洋
東大和市桜が丘2丁目229番地カ

シオ計算機株式会社 東京工場内
⑮ 出願人 カシオ計算機株式会社
東京都新宿区西新宿2丁目6番
1号
⑯ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

データ選別方式

2. 特許請求の範囲

磁気テープから読出される音声情報及びデジタルデータを波形整形する手段と、この手段により波形整形された信号の周期を判別しデジタルデータに対応する周波数か否かを判定する手段と、この手段によりデジタルデータに対応する周波数であると判定された場合にその信号が所定時間継続するか否か判定し所定時間継続した場合にデジタルデータ、所定時間継続しなかつた場合に音声情報との判定を行う手段とを具備したことを特徴とするデータ選別方式。

3. 発明の詳細な説明

本発明はオーディオ用テープレコーダにデジタルデータを記録した場合のデータ選別方式に関する。

オーディオ用テープレコーダを使用して FSK

方式 (Frequency Shift Keying 方式) によりデジタルデータを記録するようにしたもののはすでに実用化されている。この場合、磁気テープに音声とデジタルデータとを混在させて記録した場合、テープレコーダと連動する機器例えば電子式計算機が必要とするのはデジタルデータのみであり、これを何らかの方法で選別しなければならない。

本発明は上記の点に鑑みてなされたもので、磁気テープ上に音声とデジタルデータとを混在させて記録した場合、デジタルデータの周波数帯域及びその規則性を利用して簡単な回路でデジタルデータの選別を行い得るデータ選別方式を提供することを目的とする。

以下図面を参照して本発明の一実施例を説明する。第1図は全体的な回路系統を示すもので、1はデータの処理を行う CPU (中央処理装置) 、2はオーディオ用カセット式テープレコーダである。上記 CPU 1 は I/O (入出力) インターフェイスを介してテープレコーダ 2 との間のテ

は 1.2 kHz で FM 变调している。

データ授受を行うもので、CPU 1 から I/O インターフェイス 3 を介して出力されるデータは、ファイルタ 1 を介してテープレコーダ 2 のデータ入力端子例えばマイク入力端子 MIC へ入力される。また、テープレコーダ 2 から読出される再生情報は、出力制御回路 5 を介してスピーカ 6 へ送られると共にレベル制御回路 7 を介して I/O インターフェイス 3 へ入力される。この I/O インターフェイス 3 は、詳細を後述するが、テープレコーダ 2 から読出される情報の内容を判断し、デジタルデータを選別して CPU 1 へ送出すると共に、出力制御回路 5 へスピーカ 6 の振動あるいは駆動禁止の制御指令を与える。また、I/O インターフェイス 3 には、32.768 kHz のクロックパルスが与えられており、このクロックパルスに同期してその動作が行われるようになっている。しかして、CPU 1 からテープレコーダ 2 IC デジタルデータを送つてその読み込みを行う場合には、デジタルデータを "1" 信号に対しては 2.4 kHz、"0" 信号に対しては

次に上記 I/O インターフェイス 3 内のデータ選別部の詳細について第 2 図により説明する。第 2 図において 1 0 は波形整形回路で、テープレコーダ 2 からレベル制御回路 7 を介して与えられる情報を波形整形し、ワンショット回路 1 1 へ入力する。このワンショット回路 1 1 は入力信号の立上り時に 2¹⁵ Hz つまり 32.768 kHz のクロックパルスと同期してワンショットパルスを出力するもので、そのワンショットパルスはフリップフロップ 1 2 のデータ入力端子 IN 及びフリップフロップ 1 3 のクロック端子 C へ入力されると共にシフトレジスタ 1 4 へシフトクロックとして入力される。上記フリップフロップ 1 3 はクロックパルスと同期して動作するもので、入力信号を 1 ビット分遅延して出力し、例えば 32 進のカウンタ 1 5 へリセット信号として与える。このカウンタ 1 5 はアンド回路 1 6 を介して入力されるクロックパルスによりカウントアップ動作し、

各ビット出力がデコード 1 7 へ入力される。このデコード 1 7 は磁気テープから読出したデジタルデータの検出を行うもので、4 本の出力ライン 8 ～ 11 を備え、カウンタ 1 5 の内容が「12」～「15」の時に出力ライン 8、「11」の時に出力ライン 9、「24」～「31」の時に出力ライン 10、「31」の時に出力ライン 11 から "1" 信号が出力される様に構成されている。そして、デコード 1 7 の出力ライン 8 ～ 11 から出力される信号はオア回路 1 8 を介してフリップフロップのデータ入力端子 IN へ入力され、出力ライン 11 から出力される信号はアンド回路 1 9 を介してオア回路 1 8 へ入力される。さらにデコード 1 7 の出力ライン 8 から出力される信号はフリップフロップ 1 3 のリセット端子 R へ入力されると共にインバータ 2 0 を介してアンド回路 1 9 、1 6 へ入力される。磁気テープに記録したデジタルデータは "1" 信号が 2.4 kHz、"0" 信号が 1.2 kHz であり、カウンタ 1 5 に読み込まれた場合、そのクロックパル

スが 32.768 kHz であるので、"1" 信号の場合は「13」(32.768 ÷ 2.4 = 13)、"0" 信号の場合は「27」(32.768 ÷ 1.2 = 27) となる。従つて本実施例では周波数変動を考慮してカウンタ 1 5 の内容が「13 ± 2」、「27 ± 3」になつた状態を検出してフリップフロップ 1 3 をセットするようしている。このフリップフロップ 1 3 の出力は例えば 8 ビットのシフトレジスタ 1 4 へ送られる。このシフトレジスタ 1 4 は再生される "1" 又は "0" のデジタルデータが所定時間続けて出力されたことを検出するもので、各ビット出力はゲート回路 2 1 へ入力される。このゲート回路 2 1 は、シフトレジスタ 1 4 の全ビットが "1" になつた状態を検出し、その検出信号をアンド回路 2 2 へ入力する。また、このアンド回路 2 2 は、32.768 kHz のクロックパルスを分周する分周器 2 3 から 3.2 Hz の信号が与えられる。そして、アンド回路 2 2 の出力信号はカウンタ 2 3 へ入力される。このカウンタ 2 3 はワンシ

ヨット回路 25 から出力される信号によつてリセットされる。このワンショット回路 26 は分周器 23 から 2 Hz の信号が入力されており、その立上り時において 32768 kHz のクロックパルスと同期してワンショットパルスを出力する。そして、上記カウンタ 24 の出力はゲート回路 26 を介して取出される。このゲート回路 26 はカウンタ 24 の内容が例えば「8」以上になつた時に「1」信号を出力するもので、この出力信号はフリップフロップ 27 のセット端子 S へ入力される。このフリップフロップ 27 のセット出力は、テープレコーダ 2 から読み出された情報がデジタルデータであることを示しており、インバータ 28 を介して CPU 1 へ送出される。上記フリップフロップ 27 は分周器 23 から出力される 2 Hz の信号によつてリセットされる。

次に上記のように構成された本発明の動作を説明する。第3図及び第4図(a)に示すように磁気テープ 3 には音声情報及びデジタルデータ

12 IC よりクロックパルスの 1 パルス分遅れて出力され、カウンタ 1.5 をクリアする。このカウンタ 1.5 はワンショット回路 1.1 からワンショットパルスが出力される毎に上記したように 1 パルス分遅れてリセットされるが、その間にインバータ 2.0 の出力が「1」となつてアンド回路 1.6 のゲートが閉かれ、クロックパルスがアンド回路 1.6 を介して入力されているので、その針数を行つている。そして、そのカウント内容が「31」に達するとデコーダ 1.7 の出力ライン 8 から「1」信号が出力され、インバータ 2.0 の出力が「0」となつてアンド回路 1.6 のゲートが閉じ、カウンタ 1.5 の入力が禁止される。また、デコーダ 1.7 の出力ライン 4 から「1」信号が出力されるとフリップフロップ 1.3 がリセットされる。しかし、ワンショット回路 1.1 からワンショットパルスが出力された際、カウンタ 1.5 の内容が「13±2」、「27±3」の範囲にあれば、その状態がデコーダ 1.7 によつて検出され、オア回路 1.8 より

タが記録される。データ記録領域には最初にヘッダー 32 及びファイル名 33 が記録され、その後にデータ 34 が記録される。ヘッダー 32 は「1」信号つまり 2.4 kHz の信号が例えば 5 秒間連続して書き込まれている。そして、ファイル名 33 及びデータ 34 は前記したように「1」信号が 2.4 kHz、「0」信号が 1.2 kHz の間波数で書き込まれる。

しかし、上記のように音声情報及びデジタルデータを記録した磁気テープ 3 をテープレコーダ 2 により再生すると第4図(b)に示すように AM 变調された音声情報を、FM 变調されたヘッダー 32、ファイル名 33、データ 34 等が読み出される。これらの再生情報は、波形整形回路 1.0 で第4図(c)に示すように矩形波信号に波形整形される。この波形整形された信号はワンショット回路 1.1 へ入力され、その立上り時においてクロックパルスと同期して第4図(d)に示すようにワンショットパルスを出力する。このワンショットパルスはフリップフロップ

「1」信号が出力されてフリップフロップ 1.3 がセットされる。音声情報の中には 1.2 kHz の信号及び 2.4 kHz の信号が含まれることがあるが遅延することなく、従つてフリップフロップ 1.3 がセットされてもそのセット状態が継続することはない。

一方、周波数が 1.2 kHz あるいは 2.4 kHz のデジタル信号が再生された場合、ワンショット回路 1.1 からワンショットパルスが出力された時点で、カウンタ 1.5 の内容は「13±2」、あるいは「27±3」となつており、この状態がデコーダ 1.7 で検出されてオア回路 1.8 から「1」信号が出力される。このオア回路 1.8 の出力により、上記ワンショットパルスに同期してフリップフロップ 1.3 が第4図(e)に示すようにセットされる。このフリップフロップ 1.3 の出力信号はワンショット回路 1.1 から出力されるワンショットパルスに同期してシフトレジスタ 1.4 へ順次読み込まれる。そして、1.2 kHz あるいは 2.4 kHz の信号が所定時間連続して再生

され、シフトレジスタ14の全ビットに“1”信号が蓄込まれると、第4図(i)に示すようにゲート回路21から“1”信号が出力され、アンド回路22へ加えられる。このアンド回路22には分周器24から第4図(h)に示す32Hzの信号が加えられており、ゲート回路21の出力が1/32秒毎にアンド回路22を介して取出され、カウンタ23へ入力される。このカウンタ23はアンド回路22から入力される信号によつて順次カウントアップし、その内容が「8」に達するとゲート回路26から“1”信号が出力され、フリップフロップ27がセットされる。一方、ワンショット回路25は、分周器23から第4図(h)に示す2Hzの信号が入力され、その立ち上り時ににおいてクロックパルスに同期してワンショットパルスを発生し、カウンタ24へリセット信号として入力する。従つてこのカウンタ24は1/2秒毎にそのカウント内容が「8」に達しているか否かチェックされる。そして、このカウンタ24の内容が「8」に達していれば

11

おいて「8」以上のカウントがなされたことを検出するようにしたが、本発明はこれに限定されるものでなく、その他の値に設定しても良いことは勿論である。

以上述べたように本発明によれば、デジタルデータの周波数帯域及びその規則性を利用してその選別を行つてゐるので、デジタル方式の簡単な回路で音声情報とデジタルデータとの選別を確実に行うことができる。従つて本発明はオーディオ用テープレコーダと電子式計算機とを組合せて使用する場合に極めて有用である。

4. 図面の簡単な説明

図面は本発明の一実施例を示すもので、第1図は全体的な概略構成を示すプロック図、第2図は第1図におけるインターフェイス内のデータ選別部の詳細を示す回路構成図、第3図は磁気テープへの音声情報及びデジタルデータの記録状態を示す図、第4図(i)～(iv)は動作を説明するためのタイムチャートである。

13

—26—

14.

ば上記したようにゲート回路26から“1”信号が出力され、フリップフロップ27が第4図(i)に示すようにセットされる。このフリップフロップ27のセット出力はインバータ28を介してCPU3へ送られ、再生情報がデジタルデータである旨の伝達が行われる。また、フリップフロップ27がセットされることによつて第1図の出力制御回路5へ第4図(iv)に示すようにリレーの駆動信号が送られ、スピーカ6への回路が開放される。再生情報が音声情報からデジタル情報に切換わつた場合は、その検出が2Hzの信号に同期して行われるので0.5秒の遅れがあり、第4図(iv)に示すようにヘッダー部分の2.4kHzの信号が0.5秒間スピーカ6へ送られ、音声として出力される。その後スピーカ6への信号ラインが開放され、音声出力が禁止される。

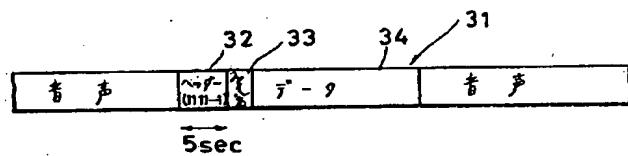
なお、上記実施例ではシフトレジスタ14に“1”あるいは“0”的検出信号が8ビット連続して与えられた場合、また、カウンタ24に

12

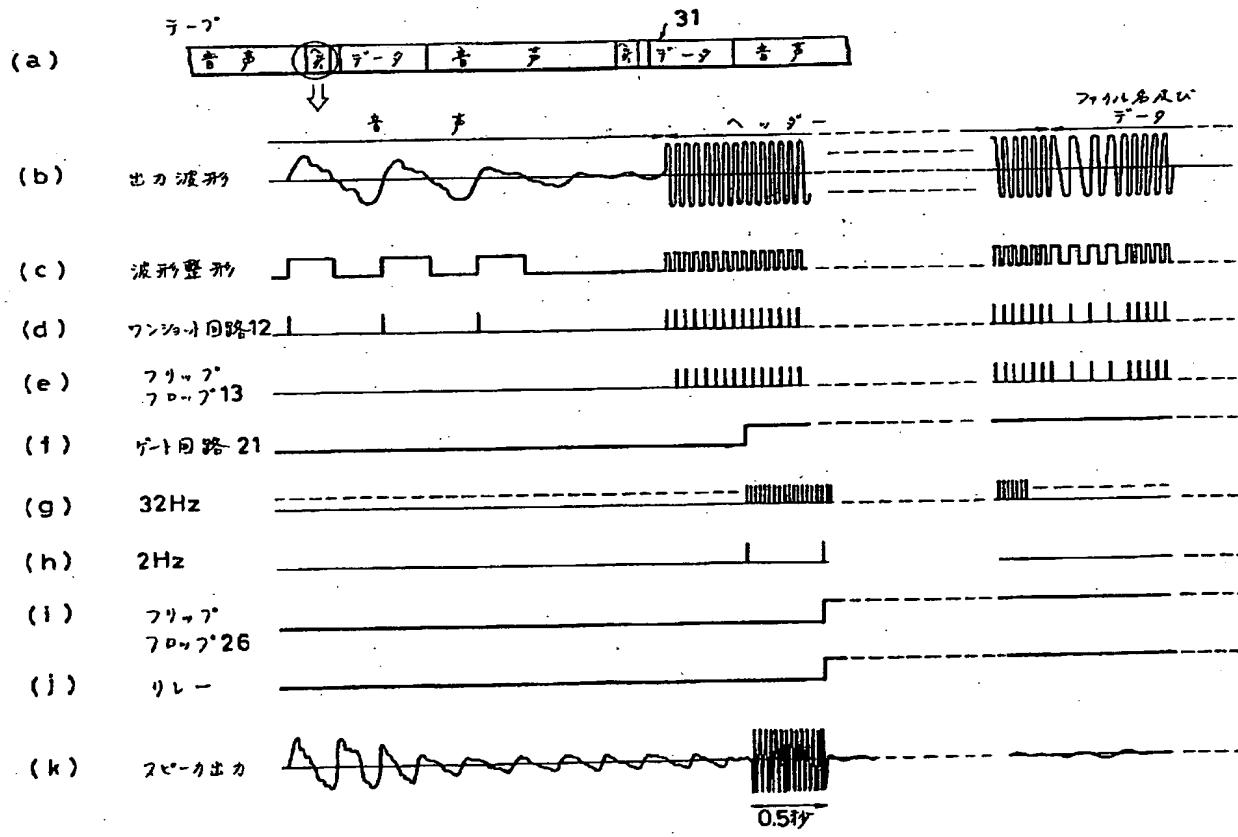
10…波形整形回路、14…シフトレジスタ、
15…カウンタ、17…デコーダ、21、26
…ゲート回路、23…分周器。

出願人代理人弁理士 錦江武志

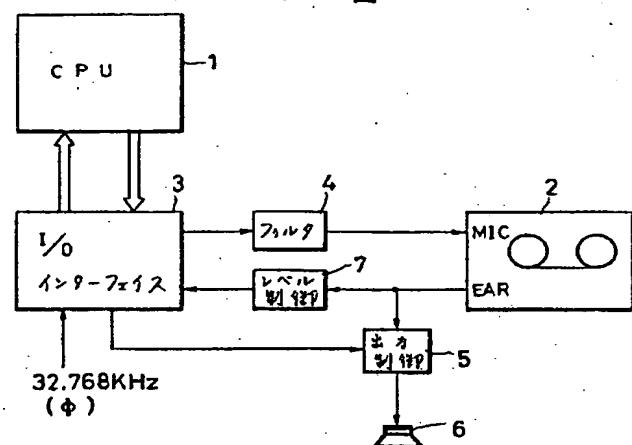
第3図



第4図



第 1 圖



第2圖

